

ELECTRONIC COMPONENT

Publication number: JP2000058373

Publication date: 2000-02-25

Inventor: TAKATANI MINORU; SASAKI MASAMI; ENDO TOSHIICHI

Applicant: TDK CORP

Classification:

- International: H05K1/16; H01G4/30; H05K1/16; H01G4/30; (IPC1-7):
H01G4/30; H05K1/16

- european:

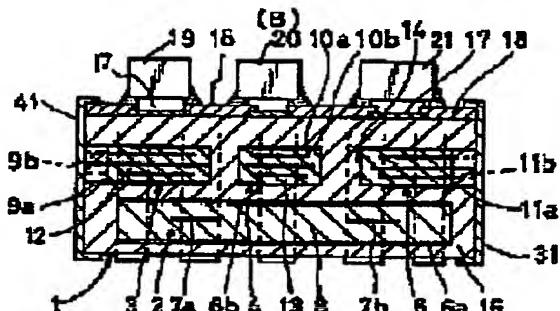
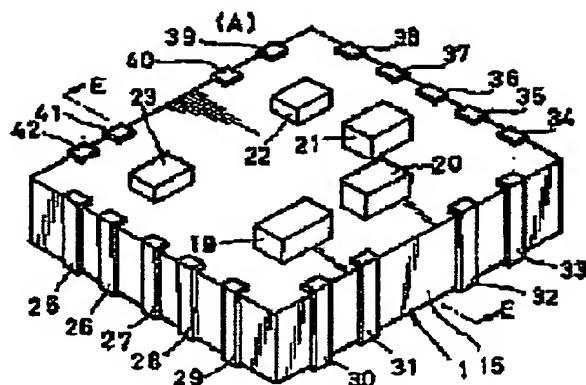
Application number: JP19980222028 19980805

Priority number(s): JP19980222028 19980805

[Report a data error here](#)**Abstract of JP2000058373**

PROBLEM TO BE SOLVED: To provide an electronic component, including a capacitor using high and low-dielectric constant materials as the dielectric materials, which can remove problems of crack generation, etc., during manufacture thereof, and which can be made high in reliability in its mechanical strength, electrical characteristics, etc.

SOLUTION: Dielectric materials 12 to 14 of the parts in capacitors 3 to 5 are of a ceramic or of a composite material of ceramic and resin having a high dielectric constant. A dielectric material 15 of parts forming the capacitor other than the high dielectric constant parts is of a resin or of a composite material of ceramic and resin.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58373

(P2000-58373A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.
 H 01 G 4/30
 H 05 K 1/16

識別記号
 3 0 1

F I
 H 01 G 4/30
 H 05 K 1/16

コード(参考)
 3 0 1 A 4 E 3 5 1
 D 5 E 0 8 2

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21)出願番号 特願平10-222028

(22)出願日 平成10年8月5日 (1998.8.5)

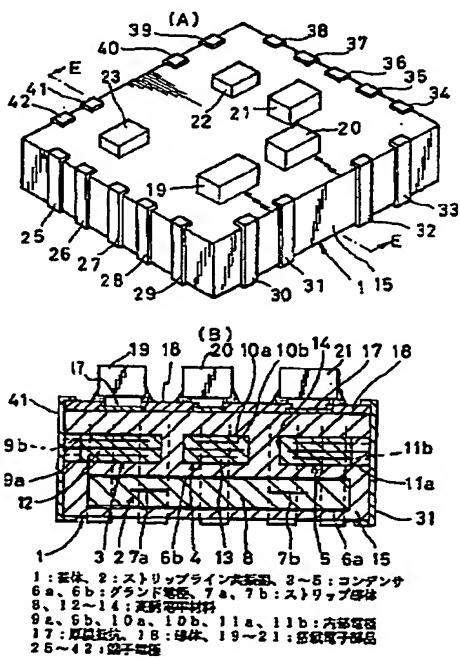
(71)出願人 000003067
 ティーディーケイ株式会社
 東京都中央区日本橋1丁目13番1号
 (72)発明者 高谷 稔
 東京都中央区日本橋一丁目13番1号 ティー
 ディーケイ株式会社内
 (72)発明者 佐々木 正美
 東京都中央区日本橋一丁目13番1号 ティー
 ディーケイ株式会社内
 (74)代理人 100081569
 弁理士 若田 勝一

(54)【発明の名称】電子部品

(57)【要約】

【課題】高誘電率材料と低誘電率材料とを誘電体として使用するコンデンサを含む電子部品において、製造におけるクラック発生等の問題がなく、機械的強度、電気的特性等の信頼性の高い電子部品を提供する。

【解決手段】コンデンサ3～5を形成する部分の誘電体12～14は、セラミック、またはセラミックと樹脂材料からなる高誘電率材料である。コンデンサを形成する部分以外の誘電体15は、樹脂材料またはセラミックと樹脂材料からなる低誘電率材料である。



【特許請求の範囲】

【請求項1】少なくとも複数のコンデンサを有する電子部品であって、コンデンサを形成する部分の誘電体は、セラミックからなる高誘電率材料でなり、該コンデンサを形成する部分以外の誘電体は、樹脂材料からなる低誘電率材料でなることを特徴とする電子部品。

【請求項2】少なくとも複数のコンデンサを有する電子部品であって、

コンデンサを形成する部分の誘電体は、セラミックからなる高誘電率材料でなり、該コンデンサを形成する部分以外の誘電体は、樹脂材料にセラミックを混合した低誘電率材料でなることを特徴とする電子部品。

【請求項3】請求項1または2において、前記高誘電率材料として、前記セラミックの代わりに、樹脂材料にセラミックを混合した複合材料を用いたことを特徴とする電子部品。

【請求項4】請求項1から3までのいずれかにおいて、前記電子部品はさらにインダクタを有しており、前記インダクタ部分の低誘電率材料は磁性材料であることを特徴とする電子部品。

【請求項5】請求項1から4までのいずれかにおいて、前記電子部品はさらにストリップライン共振器を有しており、

前記共振器内の誘電体は前記低誘電率材料より高い誘電率を有することを特徴とする電子部品。

【請求項6】請求項1から5までのいずれかにおいて、前記電子部品を構成する基体の表面に導体および厚膜抵抗を印刷して基板とし、該基板に他のチップ型電子部品を搭載して複合部品としたことを特徴とする電子部品。

【請求項7】請求項1から6までのいずれかにおいて、高誘電率材料と低誘電率材料の比誘電率の比が5以上、15000以下であることを特徴とする電子部品。

【請求項8】請求項1から7までのいずれかにおいて、前記低誘電率材料の比誘電率が2以上、10以下であることを特徴とする電子部品。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、複数のコンデンサを内蔵する電子部品に係り、特に複数のノイズフィルタを内蔵する複合フィルタや、複数のコンデンサを内蔵する複合コンデンサ、あるいはこれらと共にストリップライン共振器を内蔵する電子部品に関する。

【0002】

【従来の技術】従来、誘電体材料を用いた複数のコンデンサを含む電子部品は、複数のノイズフィルタの電極、あるいは複数のコンデンサの電極を内蔵する部品の基体全体が高い誘電率を有する誘電体材料によって構成され

る。このような電子部品においては、基体自体が高誘電率材料による構造体であるため、各素子の電極間あるいは入力端子、出力端子、接地端子等の端子間に分布容量が発生し、隣接する素子へ信号の漏洩によるクロストークあるいはノイズの漏洩が起こり易く、また、共振器の場合には、共振周波数等の設定周波数にずれが生じるという問題点があった。このような問題点を解決するため、高誘電率セラミック材料により構成される複数のコンデンサ間に低誘電率セラミック材料を設けた提案が例えば特開平3-35515号公報等においてなされている。

【0003】

【発明が解決しようとする課題】しかしながら、従来のものは、低誘電率材料、高誘電率材料が共にセラミックであって、一体焼成時の処理工序で個々のセラミックの熱膨張係数の違いにより熱クラックが発生するという問題点があった。

【0004】本発明は、上記問題点に鑑み、高誘電率材料と低誘電率材料とを誘電体として使用するコンデンサを含む電子部品において、製造時におけるクラック発生等の問題がなく、機械的強度、電気的特性等の信頼性の高い電子部品を提供することにある。

【0005】

【課題を解決するための手段】請求項1の電子部品は、少なくとも複数のコンデンサを有する電子部品であって、コンデンサを形成する部分の誘電体は、セラミックからなる高誘電率材料でなり、該コンデンサを形成する部分以外の誘電体は、樹脂材料からなる低誘電率材料でなることを特徴とする。

【0006】請求項2の電子部品は、コンデンサを形成する部分の誘電体は、セラミックからなる高誘電率材料でなり、該コンデンサを形成する部分以外の誘電体は、樹脂材料にセラミックを混合した低誘電率材料でなることを特徴とする。

【0007】請求項3の電子部品は、請求項1または2において、前記高誘電率材料は樹脂材料にセラミックを混合した複合材料でなることを特徴とする。

【0008】請求項1ないし3の電子部品のように、高誘電率材料と低誘電率材料のうち、少なくとも低誘電率材料に樹脂材料または樹脂とセラミックからなる複合材料を用いれば、樹脂の柔軟性から、クラックの発生を防止することができる。

【0009】請求項4の電子部品は、請求項1から3までのいずれかにおいて、前記電子部品がさらにインダクタを有しており、前記インダクタ部分の低誘電率材料は磁性材料としたことを特徴とする。このように、インダクタを含む電子部品においても、前記各請求項の効果を得ることができる。

【0010】請求項5の電子部品は、請求項1から4までのいずれかにおいて、前記電子部品はさらにストリッ

ブライン共振器を有しており、前記共振器内の誘電体は前記低誘電率材料より高い誘電率を有することを特徴とする。このように、共振器の誘電率を高くすることにより、全体として小型の電子部品が得られる。

【0011】請求項6の電子部品は、請求項1から5までのいずれかにおいて、前記電子部品を構成する基体の表面に導体および厚膜抵抗を印刷して基板とし、該基板に他のチップ型電子部品を搭載して複合部品としたことを特徴とする。このように、前記電子部品を基板としてその上に電子部品を搭載することにより、高密度実装の電子部品が得られる。

【0012】請求項7の電子部品は、請求項1から6までのいずれかにおいて、高誘電率材料と低誘電率材料の比誘電率の比が5以上、15000以下であることを特徴とする。このように、比誘電率の比を5以上とすれば、各コンデンサ間の分布容量を小さく抑制することができ、共振周波数のずれや高周波信号の漏洩を防止することができる。実用可能な高誘電率材料は、比誘電率がおよそ30000程度であり、後述のように低誘電率材料として使用可能な材料の比誘電率がおよそ2程度であることを考慮すると、比誘電率の最大値は約15000となる。

【0013】請求項8の電子部品は、請求項1から7までのいずれかにおいて、前記低誘電率材料の比誘電率が2以上、10以下であることを特徴とする。低誘電率材料の比誘電率を10以下とすることにより、前記比誘電率の比を大きく設定することが容易となり、請求項1の効果がよりよく達成できる。最も低誘電率の材料は、比誘電率が2程度である。

【0014】

【発明の実施の形態】図1(A)は本発明による電子部品の一実施の形態を示す斜視図、図1(B)は図1

(A)のE-E断面図である。1はシート法または印刷法により製造される積層体であり、図1(B)に示すように、内部にストリップライン共振器2が内蔵されると共に、該共振器2に重畠して一体に、複数のコンデンサ3、4、5が同一層に横並びに形成される。共振器2のグランド電極6a、6bとストリップ導体7a、7bとの間の誘電体8と、各コンデンサ3、4、5のそれぞれ内部電極9aと9b、10aと10b、11aと11bとの間の誘電体12、13、14は、高誘電率の誘電体材料により構成される。

【0015】前記高誘電率材料の誘電体8、12～14は、それぞれ同一または異なるセラミックまたはセラミックを樹脂材料に混合した複合材料である。これらの共振器2間、およびコンデンサ3、4、5の間、および積層体1の外被部の誘電体15は、共振器2やコンデンサ3、4、5の誘電体8、12、13、14の誘電率より低い誘電率材料により構成される。該低誘電率材料の誘電体15は、樹脂材料、または樹脂材料にセラミックを

混合した複合材料によりなる。

【0016】17は積層体1の表面部に形成した厚膜抵抗、18は導体である。また、図1(A)において、19～23は該積層体1を基板として用いて該基板に搭載したトランジスタ、ダイオードや容量のさらに大きなコンデンサあるいは抵抗あるいはインダクタであり、構成する回路によって変わる電子部品である。25～42は該積層体1でなるチップの側面に設けられた端子電極であり、内蔵コンデンサ3～5や共振器2間あるいはこれらと搭載電子部品19～23や厚膜抵抗17間の接続あるいは外部回路との接続の為に設けられるものである。

【0017】このように、共振器2やコンデンサ3～5に高誘電率の誘電体8、12、13、14を配設し、これらの高い誘電体8、12、13、14間に低誘電率材料である誘電体15を介在させて構成することにより、コンデンサ3～5間の分布容量や、コンデンサ3～5の内部電極9aと9b、10aと10b、11aと11bと端子電極25～42との間の分布容量を低減し、またこれらのコンデンサ電極と共振器2のグランド電極6bとの間の分布容量を低減することができる。したがって、これらのコンデンサ3～5間、コンデンサ3～5と共振器2間、コンデンサ3～5や共振器2と端子電極25～42間の容量結合を低減し、相互の間隔を近接させることができ、薄型化、小型化が達成できる。

【0018】この電子部品は、シート法を適用し、後述する各工程によりグリーンシートを形成した後、複数枚をスタッフし、硬化することにより製造される。積層体である基体1を構成する樹脂シート、コンデンサ3～5部や共振器2を構成するために樹脂にセラミックを混合したコンポジットシート導体パターンの形成は、印刷法や一般的なフォトエッチング法を用いて行われる。

【0019】基体(積層体)1を形成する樹脂としては、低い誘電率を有するエポキシ樹脂、フェノール樹脂等を用い、また、高い誘電率を有する材料としては、表1に示すSrO-CaO-TiO₂系、表2に示すBaO-ZrO-TiO₂系等を用いることができる。また、エポキシ樹脂にこれらの高誘電率材料を混合した複合材料を用いることができる。また、低誘電率材料としては、前記エポキシ樹脂やフェノール樹脂単独あるいは樹脂に表1、表2の誘電率材料を混合した複合材料を用いることができる。好ましくは、特性を考慮して比誘電率が10以下に設定することが好ましい。

【0020】ここで、前記エポキシ樹脂としては、樹脂組成物であれば、多官能性エポキシ樹脂と、ビスフェノールA型高分子エポキシ樹脂と、硬化剤としてのビスフェノールA型ノボラック樹脂との混合物であって、特開平9-59486号公報に示されている材料を用いることができる。より詳しくは、多官能性エポキシ樹脂30wt%～80wt%、ビスフェノールA型高分子エポキシ樹脂10wt%～40wt%、テトラフェニロールエ

タン型エポキシ樹脂5wt%~35wt%を主成分とし、該主成分100重量部に対して硬化剤としてビスフェノールA型ノボラック樹脂5~30重量部、硬化促進剤としてイミダゾール0.1~5重量部のエポキシ樹脂組成物である。

【0021】なお、本発明において、使用できるセラミックの平均粒度範囲は、誘電体材料、磁性体材料とも

0.1μm~50μm、より最適平均粒度範囲は0.5μm~30μmである。0.1μmより小さいと、粒体が嵩ぱり、表面積が大となり、ペーストが製造しくくなる。また、粒度が50μmを超えると、成形品の凹凸が激しくなり、成形性が悪くなる。

【0022】

【表1】

No	配合比(vol%)		比誘電率
	SrO-CaO-TiO ₂ 系 (比誘電率400)	エポキシ樹脂 (比誘電率4)	
1	100	0	400
2	70	30	70
3	60	40	49
4	50	50	31
5	40	60	21
6	30	70	14
7	20	80	9
8	10	90	4.5
9	0	100	4

【0023】

【表2】

No	配合比(vol%)		比誘電率
	BaO-ZrO-TiO ₂ 系 (比誘電率8000)	エポキシ樹脂 (比誘電率4)	
10	100	0	8000
11	70	30	105
12	60	40	70
13	50	50	54
14	40	60	35
15	30	70	28
16	20	80	13
17	10	90	8.5
18	0	100	4

【0024】具体例により説明すると、高誘電率材料となる図1で示した誘電体8、12~14として、表1に示すNo.2の誘電体材料を用いた。これは前記SrO-CaO-TiO₂系セラミック粉をエポキシ樹脂に混合した混合物(比誘電率ε=70)である。また、低誘電率材料の誘電体15には、表1のNo.9の誘電体材料(比誘電率ε=4)を使用した。

【0025】なお、誘電率材料として用いた前記SrO-CaO-TiO₂系のセラミック組成物は、例えばSrTiO₃=67.69wt%、CaTiO₃=32.31wt%に混合し、1300°C、2時間で熱処理したものと所定の粒度まで粉碎したものを使用した。また、表2のセラミック粉であるBaO-ZrO-TiO₂系の組成物としては、BaCO₃=67.95wt%、T

iO₂=28.33wt%、ZrO₂=3.72wt%に混合し、焼成、粉碎した。

【0026】また、エポキシ樹脂は、多官能性エポキシ樹脂として、エビビス型エポキシ系樹脂(油化シェルエポキシ社製エピコート1001:エポキシ当量470およびエピコート1007:エポキシ当量1950)をそれぞれ26.9wt%ずつ含有させ、また、ビスフェノールA型高分子エポキシ樹脂(油化シェルエポキシ社製エピコート1225:エポキシ当量2000)23.1wt%、特殊骨格を持つエポキシ樹脂として、テトラフェニロールエタン型エポキシ樹脂(油化シェルエポキシ社製エピコート1031S:エポキシ当量196)23.1wt%をそれぞれ含むものを主成分とし、硬化剤として、ビスフェノールA型ノボラック樹脂(油化シェ

ルエボキシ社製YLH129B65：水産基当量118g／eq)と、硬化促進剤としてイミダゾール化合物(四国化成工業社製2E4MZ)とを加えたものを使用した。

【0027】樹脂とセラミックとの混合方法は、これらの混合物を500mlのポリポット中に入れ、攪拌のために10mmのジルコニアボールを入れた。これをボールミル法により10時間以上回転させ混合させた。

【0028】次に上述のように混合を終えたペーストのシート化は、これらに溶剤を加えるかあるいは加えないで一般的なドクターブレード法によりシートが所定の厚みになるように行った。そして、このシートを乾燥後、積層し、140°Cで12時間加熱した。また、低誘電率材料15と高誘電率材料8、12～14が横並びになる部分については、低誘電率材料15のシートに高誘電率材料8、12～14の形成される部分に穴を打ち抜きその穴に高誘電率材料8、12～14を印刷により埋め込み、乾燥後、共振器2のグランド電極6a、6bやストリップ導体7a、7b、あるいは各コンデンサ3、4、5のそれぞれ内部電極9aと9b、10aと10b、11aと11bを、銀ペーストの印刷により形成した。

【0029】このように積層したものを切断後、端子電極25～42の形成を行った。これらの端子電極25～42の形成は、熱硬化性導体ペーストを印刷あるいは転写して加熱硬化させるか、あるいは無電解メッキやスパッタリングもしくは蒸着等により行った。また、電子部品19～23の搭載は、導体18との接続をリフローによる半田付けにより行った。この電子部品19～23の接続には、導電性接着剤を用いてもよい。

【0030】上記した電子部品を信頼性の面で重要な耐熱性の試験を、これらの電子部品を260°Cの温度に10秒間さらすことによって行った。従来技術のように、低誘電率材料と高誘電率材料の双方にセラミックを用いたものを比較例として、高誘電率の誘電体にチタン酸バリウム系のものを用い、低誘電率の誘電体にチタン酸カルシウム系のものを用い、従来の印刷法により積層後、切断し、900°Cで焼成することにより図1(B)に示す積層体1を製造した。

【0031】一方、本発明による供試試料として、表1のNo.2の組成のものを高誘電率材料に用い、No.9の組成のものを低誘電率材料を用いた。このように、高誘電率材料と低誘電率材料とが共にセラミックからなる比較例と、本発明のように樹脂材料を用いた供試試料について、それぞれ100個のサンプルについて前記耐熱試験を行ったところ、比較例の場合には55%のものについてクラック発生が見られたが、本発明による場合には、クラック発生率は0%であった。

【0032】このように、従来の異種焼結セラミックを用いると、クラックが発生しやすくなり、このクラック発生を防止するには、個々の熱膨張係数差が小さい材料

で組み合わせなければならず、材料の選択の余地が少なくなる。一方、本発明品は少なくとも低誘電率材料については樹脂または樹脂とセラミックとの複合材料を用いているので、樹脂の柔軟性から、クラックが入らず、歩留りが向上する。

【0033】図2は本発明による電子部品の別の実施例を示す断面図である。図2の例は、図1(B)のストリップライン共振器2に代えて、インダクタ50、51を内蔵している。そして、これらのインダクタ50、51に一体に重畳して、複数のコンデンサ3～5が同一層に横並びに形成される。さらにコンデンサ3～5に一体に重畳して、高誘電率材料12A～14Aを用いた複数のコンデンサ3A～5Aが同一層に横並びに形成される。つまり、2組のコンデンサを基体1の厚み方向に積み重ねていることになる。

【0034】前記インダクタ50、51部を構成するため、樹脂に磁性体を混合したコンポジットシートを、前記低誘電率材料15でなるシートと共に横並びに形成したものに導体パターンを印刷し、これらの各シートを所定の形で形成した。なお、磁性体材料としては、Ni-Cu-Zn系の組成物を720°C、2時間で熱処理したものを所定の粒度まで粉碎したものを使用した。

【0035】なお、Ni-Cu-Zn系の組成物としては、Fe₂O₃=64.33wt%、NiO=10.92wt%、CuO=6.13wt%、ZnO=18.62wt%に混合し、焼成、粉碎した。

【0036】ここで、インダクタ50、51を構成する各導体は前記表3で示したような磁性材料でかつ低誘電率材料52、53の内部に巻回して埋設されている。このように、表3で示すような低誘電率材料を用いれば、表1、表2のような比透磁率1の材料の内部にインダクタ導体を構成していわば空心コイルを構成する場合に比較し、表3の磁性材料は比透磁率が高いため、インダクタンス値を大きくすることが可能である。逆に同じインダクタンス値の場合には、巻数を少なくすることが可能となり、小型化に寄与する。また、Qを高くすることが可能となる。

【0037】また、インダクタ50、51の導体を埋設する磁性材料52、53を表3で示すような低誘電率材料とすることにより、インダクタ50、51の導体とコンデンサ3～5の電極との間に、低誘電率材料15と低誘電率材料である磁性材料52、53が介在することになるので、インダクタ50、51の導体とコンデンサ3～5の電極との間の分布容量による結合は低く抑えられる。

【0038】また、インダクタ50、51の巻回された導体間においても、低誘電率(表3の場合はいずれも比誘電率ε≤14)の磁性材料52、53で構成することで、比誘電率ε=70の高誘電率材料に対して比誘電率を1/5以下にすることができ、分布容量が低くなるの

で、インダクタ50、51の自己共振周波数を高く保つことができる。

【0039】また、インダクタ50、51間に低誘電率材料15を配しているので、インダクタ50、51間の誘導結合を小さくすることが可能である。さらに、インダクタ50、51の引出導体部分は低誘電率材料15中に構成するので、引出電極間や他のコンデンサ電極等の電極との間の分布容量を小さく抑えることができる。ま

た、コンデンサ3～5と、これらに対して積層方向に対向するコンデンサ3A～5Aとの間にも低誘電率材料15を介在させているので、これらのコンデンサ間の分布容量も小さく抑えることができる。また、積層方向のコンデンサの間隔を小さくすることができるので、電子部品全体の薄型化に寄与できる。

【0040】

【表3】

No.	配合比 (vol%)		比透磁率	比誘電率
	Ni-Cu-Zn系 (比透磁率230)	エポキシ樹脂 (比透磁率1)		
19	100	0	230	14
20	50	50	11	7.5
21	45	55	9.0	7.0
22	40	60	7.8	6.6
23	35	65	6.7	6.2
24	30	70	5.6	5.8
25	25	75	5.0	5.5
26	20	80	4.1	5.1
27	15	85	3.5	4.8
28	10	90	3.0	4.5
29	5	95	2.7	4.3
30	0	100	1	4.0

【0041】(高誘電率材料と低誘電率材料との誘電率の比についての検討)本発明によると、少なくとも複数のコンデンサ3～5を有する電子部品であって、コンデンサ3～5や共振器2を形成する部分の材料12～14は高誘電率材料であり、これら以外を形成する材料15は低誘電率材料であり、高誘電率材料と低誘電率材料との比誘電率の比を5以上とすることが好ましい。

【0042】比誘電率を5以上とする根拠は以下の通りである。以下の説明は、ケース1として、部品内部に1つのコンデンサを設け、そのコンデンサの端子と共振器2の端子とが近接することによる共振周波数のずれと、ケース2として、コンデンサの電極と共振器のグランド電極とが近接することによる共振周波数のずれについて述べる。

【0043】(1) コンデンサと共振器の端子近接による共振周波数のずれについて:図3(A)に示す回路図のような共振回路を作成した場合を考える。図中、Lは共振器2のインダクタンス、Cは電子部品内に共振器2に近接して配置したコンデンサで、例えば図1(B)におけるコンデンサ4である。Csはコンデンサ4と共振器2のグランド電極6bとの間に形成される分布容量である。

【0044】図3(A)において、 $L = 3 \text{ nH}$ 、 $C = 2$

μF とし、理想状態の共振周波数fは、 $f = 1 / 2\pi(LC)^{1/2}$ の式から、 $f = 2.05 \text{ GHz}$ となる。また、共振周波数の無調整化のため、±5%程度の公差範囲が要求される。

【0045】部品内部には、記載された回路以外にコンデンサが内蔵されており、共振周波数より、パスコンとして50 μF ～100 μF 程度のものを使用するため、高誘電率材料の比誘電率を70とした。

【0046】このような電子部品の場合、各素子の分布容量以外に発生する端子間の分布容量も考慮しなければならない。図3(B)に示すように、端子25、26で代表する端子間の間隔Wが、一般的に実現可能な最小間隔である300 μm 、端子25、26の厚みtが200 μm 、端子25、26の高さhが2mmである場合について考える。43は端子25、26間の低誘電率材料である外被部分である。この端子25、26間の分布容量は外被部分43の誘電率に大きく影響され、その低誘電率材料の比誘電率の変化に対して分布容量、共振周波数の変化率を示したもののが表4、図4である。ただし、この場合、高誘電率材料は比誘電率を70とした。

【0047】

【表4】

材料No	比誘電率	誘電率比	端子間分布容量Cs	共振周波数Fr	変化率(%)
2	70	1	0.828	1.728	-15.7
3	49	1.42	0.578	1.810	-11.1
4	31	2.26	0.366	1.889	-7.9
5	21	3.33	0.248	1.938	-5.5
6	14	5	0.165	1.975	-3.7
7	8	7.78	0.108	2.002	-2.3
8	4.5	15.6	0.0531	2.028	-1.1
9	4	17.5	0.0472	2.031	-0.9

【0048】図4より、外被部分の比誘電率(ε)が高誘電率材料の比誘電率70に対して1/5となる比誘電率(ε)が14のとき、共振周波数の変化率は、-3.7%以内となっており、この例からは比誘電率の比が5以上であれば、端子間容量の共振周波数への影響を±5%以内に抑えることができる。

【0049】(2)コンデンサの内部電極9a、10a、11aと共振器のグランド電極6bとの近接による共振周波数のずれについて：コンデンサを積層構造により製造する場合、ばらつきを考慮して、容量を形成する誘電体の層数を2層以上とするのが一般的である。そこで最も誘電体の層数が少ない場合を想定し、2層のコンデンサについて検討した。すなわち、部品をできるだけ薄形にするため、コンデンサの層間およびコンデンサ電極とグランド電極間は、構成可能な範囲で最も薄いものを使用する。また、コンデンサ電極間の誘電体層の厚さ、およびコンデンサ電極9a、10a、11aと共振器のグランド電極6bとの間の誘電体層の厚さは同じとした。図1(B)のコンデンサ4を例にあげて説明すると、分布容量で最も大きくなるのは、コンデンサ4の電極10aとグランド電極6bとの間である。その他のコンデンサ3(あるいは5)との間の分布容量も実際にはあるが、上記の構造にした場合は、該コンデンサ3の電極10aとグランド電極6bとの間の分布容量に比較して十分に小さいことが分かる。

【0050】容量の計算式は以下の通りである。

$$C = \varepsilon_0 \times \varepsilon_r \times S \times N / d \quad \dots (1)$$

ここで、 ε_0 は真空の誘電率、 ε_r は誘電体の比誘電率、Sはコンデンサ電極の対向面積、Nは誘電体の層数、dは誘電体の層間厚さである。

【0051】上式より、コンデンサ4(誘電体の層数を2とする)の容量C4は、高誘電率材料12~14の誘電体の比誘電率を ε_r1 とすると、

$$C4 = \varepsilon_0 \times \varepsilon_r1 \times S \times 2 / d \quad \dots (2)$$

となる。また、コンデンサ電極と共振器のグランド電極との間の容量は、両者間の低誘電率材料15の比誘電率を ε_r2 とすると、

$$Cs = \varepsilon_0 \times \varepsilon_r2 \times S \times 1 / d \quad \dots (3)$$

となる。(2)、(3)式から、

$$Cs = C4 \times \varepsilon_r2 / 2 \varepsilon_r1 \quad \dots (4)$$

となる。

【0052】ここで、一般電子部品の許容差としてのK

公差(±10%)を満足するためには、(4)式から、 $Cs / C4 = \varepsilon_r2 / 2 \varepsilon_r1 \leq 0.1 \quad \dots (5)$

(5)式から、高誘電率材料の誘電率 ε_r1 と低誘電率材料の誘電率 ε_r2 の比rは、

$$r = \varepsilon_r1 / \varepsilon_r2 \geq 5 \quad \dots (6)$$

となる。

【0053】つまり、形状を可能な限り小さく(コンデンサを2層にし、しかもコンデンサの誘電体層とコンデンサと共振器のグランド電極との間の誘電体層の厚みを同じとする)しても、(6)式から、高誘電率材料と低誘電率材料の誘電率の比rを5以上にしておけば、分布容量の影響を±10%以内に抑えることができる。

【0054】このように、5倍以上の比誘電率の差があれば、それぞれの素子に対してK公差に相当する±10%以下に分布容量の影響を抑えることができる。しかし、複数の素子を内蔵した場合、それぞれの分布容量が積み重なって製品特性に大きな影響を与える場合が多い。この影響をほとんど無くすためには、分布容量を無視できる程度にすることがより好ましい。電気業界では、一般的に、有効桁数を2桁とする慣行があり、1/100以下はほとんど影響を無視できると考えてよい。また、容量の計算式から、分布容量の大きさは比誘電率に比例しており、実際の容量を構成する部分に対して分布容量を構成する部分の比誘電率を1/100以下にすれば、分布容量をほとんど無視することができる。よって、高誘電率材料と低誘電率材料との比誘電率rが100以上であれば分布容量の素子特性への影響を実質的に無視することが可能となる。

【0055】

【発明の効果】請求項1ないし3によれば、各コンデンサ間あるいは電子部品に内蔵するコンデンサと他の素子との結合を低減するために、低誘電率材料を介在させたので、コンデンサ間またはコンデンサと他の素子との分布容量を小さく抑えることができ、高調波信号のもれや素子間の結合を小さく抑制することができ、特性のずれを小さくすることができる。

【0056】また、コンデンサに用いる高誘電率材料はセラミックまたはセラミックと樹脂との複合材料であり、かつ他の材料は樹脂材料または樹脂とセラミックの複合材料でなるため、クラック発生を減少させ、機械的強度、電気的特性等の信頼性の高い電子部品を提供することができ、かつ歩留りを向上させることができる。

【0057】請求項4によれば、請求項1から3までのいずれかにおいて、前記電子部品はコンデンサ以外の素子としてインダクタを有しており、前記インダクタ部分の低誘電率材料を磁性材料であつてかつ低誘電率材料としたので、インダクタとコンデンサ間の結合を低減でき、かつクラックの発生防止、信頼性の向上、歩留りの向上を達成できる。

【0058】請求項5によれば、請求項1から4までのいずれかにおいて、前記電子部品はさらにストリップライン共振器を有しており、前記共振器内の誘電体は前記低誘電率材料より高い誘電率を有するので、ストリップ導体の長さを短くすることができ、全体として小型の電子部品が得られる。

【0059】請求項6によれば、請求項1から5までのいずれかにおいて、前記電子部品を構成する基体の表面に導体および厚膜抵抗を印刷して基板とし、該基板に他のチップ型電子部品を搭載して複合部品としたので、さらに、高密度実装化が図れる。

【0060】請求項7によれば、請求項1から6までのいずれかにおいて、高誘電率材料と低誘電率材料の比誘電率の比が5以上であるため、コンデンサの特性を得るために分布容量の影響を±10%以下に容易に抑えることができる。

【0061】請求項8によれば、請求項1から7までのいずれかにおいて、前記低誘電率材料の比誘電率が10以下であるため、前記比誘電率の大きな材料を容易に得ることができる。

【図面の簡単な説明】

【図1】(A)は本発明による電子部品の一実施の形態を示す斜視図、(B)は(A)のE-E断面図である。

【図2】本発明の他の実施の形態を示す断面図である。

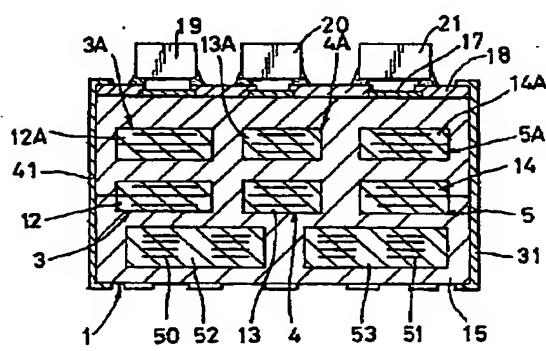
【図3】(A)は図1の回路の一部の等価回路図、(B)は図1の電子部品の端子の一例を示す斜視図である。

【図4】電子部品を構成する低誘電率材料の比誘電率の変化に対して分布容量、共振周波数の変化率を示した図である。

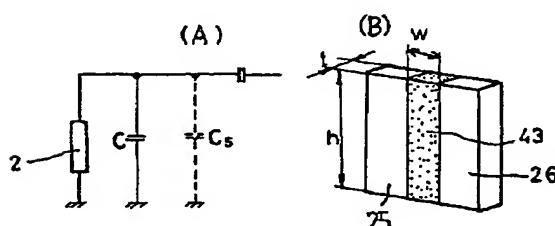
【符号の説明】

1：基体、2：ストリップライン共振器、3～5、3A～5A：コンデンサ、6a、6b：グランド電極、7a、7b：ストリップ導体、8、12～14：高誘電率材料、9a、9b、10a、10b、11a、11b：内部電極、17：厚膜抵抗、18：導体、19～21：搭載電子部品、25～42：端子電極、50、51：インダクタ、52、53：磁性材料

【図2】



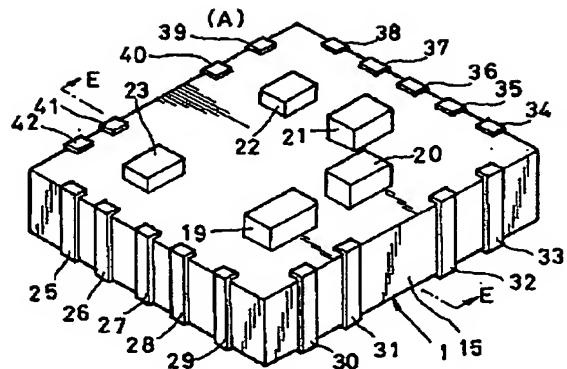
【図3】



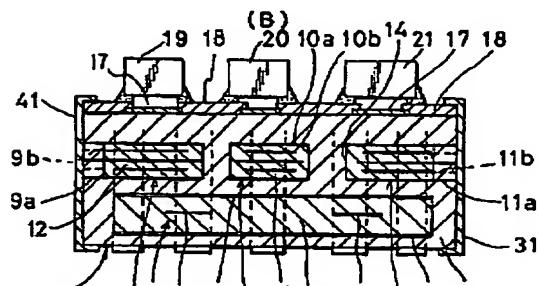
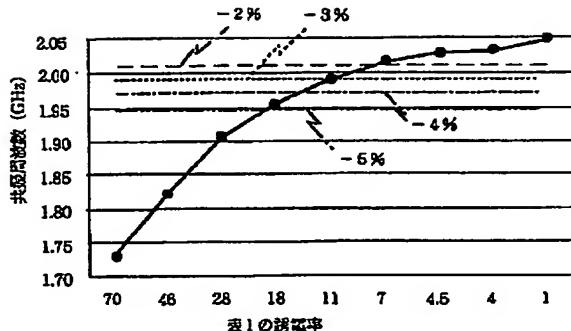
2：ストリップライン共振器
25、26：端子電極
43：外接部分

1：基体、3～5、3A～5A：コンデンサ
12～14、12A～14A：高誘電率材料
17：厚膜抵抗、18：導体、19～21：搭載電子部品
31、41：端子電極、50、51：インダクタ
52、53：磁性材料

【図1】



【図4】



1: 基体、2: ストリップライン共振器、3~5: コンデンサ
6a、6b: グランド電極、7a、7b: ストリップ導体
8、12~14: 高誘電率材料
9a、9b、10a、10b、11a、11b: 内部電極
17: 厚膜抵抗、18: 基体、19~21: 搭載電子部品
26~42: 端子電極

フロントページの続き

(72) 発明者 遠藤 敏一
東京都中央区日本橋一丁目13番1号 ティ
一ディーケイ株式会社内

Fターム(参考) 4E351 AA01 AA06 BB09 BB17 BB22
BB31 BB43 CC01 CC07 CC11
CC17 DD41 DD50 EE01 GG03
GG07
5E082 AB03 BB02 BC31 BC38 DD02
DD07 FF14 FG26 FG34 PP01